

1. CMOS Technologie Kap. 3

1.1. Chipherstellung

1. Oberflächenbeschichtung

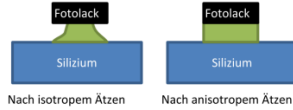
Epitaxie, Oxidation oder Abscheidungsverfahren

2. Fotolithografie

Auftragen von Fotolack, anschliessend belichten (maskieren)

3. Ätzen

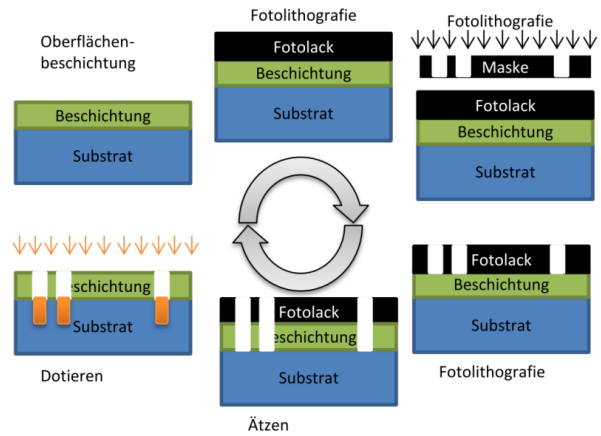
Abtragen der Beschichtung



4. Dotieren

Anschluss der Schicht erstellen

5. Säubern der Wafer



2. Schaltungselemente in CMOS Kap. 4

Absolute Genauigkeit: $\pm 20\%$

Relative Genauigkeit: $\pm 1\%$

2.1. Kapazitäten

Poly-Poly-Kapazität

$$C'' \approx 1 fF/\mu m^2$$

MOS-Kapazität

$$C'' \approx 10 fF/\mu m^2$$

MIM-Kapazität (Metall-Isolator-Metall)

$$C'' \approx 1 fF/\mu m^2$$

C'' : spezifische Kapazität pro Flächeneinheit.

d : Plattenabstand (meist durch Herstellung gegeben).

Elektrische Feldkonstante	$\epsilon_0 = 8.85 \cdot 10^{-12} F/m$
Siliziumdioxid	$\epsilon_r = 3.9$
Kapazität/Fläche	$C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \epsilon_r}{d}$
Kapazität	$C = C'' \cdot A$

2.2. Widerstände

Unerwünscht, da hoher Platzbedarf und Wärme.

$$R = R_{\diamond} \frac{L}{W}$$

Typische Werte für Widerstände			
Poly-Widerstand	$R \approx 10\Omega/\diamond$	HR-Poly-Widerstand	$R \approx 1k\Omega/\diamond$
P-Diffusions-Widerstand	$R \approx 100\Omega/\diamond$	N-Diffusions-Widerstand	$R \approx 100\Omega/\diamond$
N-Well-Widerstand	$R \approx 1k\Omega/\diamond$		

3. MOS-Transistoren Kap. 5

3.1. Bestimmung des Arbeitsbereichs

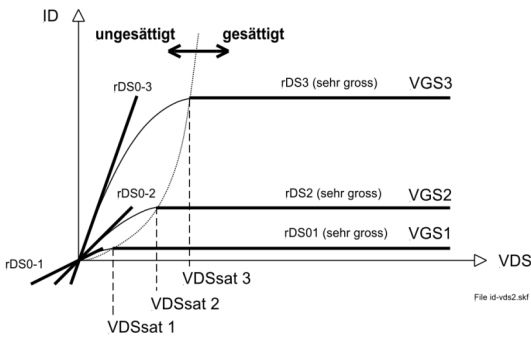
1. Bestimmung ob weak, moderate oder strong inversion.
2. Berechnen der Sättigungsspannung.
3. Wenn $|V_{DS}| > |V_{DS,sat}| \Rightarrow$ gesättigt.

Arbeitsbereich	Bedingung	Sättigungsspannung
weak inversion $I'_D < I'_M$	$0 < V_{GS} < V_T - 60mV$	$V_{DS,sat} \approx 5\Phi_t \approx 130mV$ (bei $T = 300K$) $V_{GS} = V_M + n_M \cdot \Phi_t \cdot \ln \frac{I_D}{\frac{W}{L} \cdot I_M}$
moderate inversion $I'_M < I'_D < I'_H$	$V_T - 60mV < V_{GS} < V_T + 160mV$	
strong inversion $I'_H < I'_D$	$V_T + 160mV < V_{GS}$	$V_{DS,sat} = V_{GS} - V_T = \sqrt{\frac{2I_D}{\beta}} = \sqrt{\frac{2I_D}{\frac{W}{L} \cdot \beta_0}}$

mit $I_D = \frac{W}{L} I'_D$ und $\Phi_t = \frac{kT}{e}$, wobei $k = 1.38 \cdot 10^{-23} \frac{J}{K}$, und $e = 1.6 \cdot 10^{-19} C$

3.2. Kennlinien

3.2.1. Ausgangskennlinie



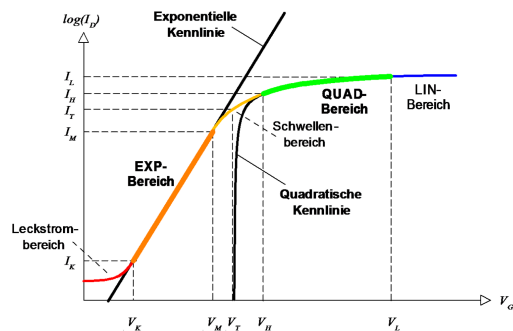
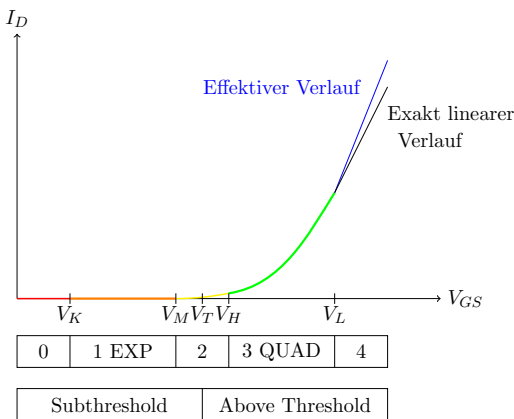
Gesättigt, Stromquellen-Betrieb:

Geraden horizontal, dann ist $r_{DS} = \infty$ (idealer Transistor).
Anstieg der Geraden entspricht Ausgangsleitwert g_0 bzw. Ausgangswiderstand r_{DS} .

Ungesättigt, Widerstandsbetrieb:

Je steiler die Gerade, desto kleiner r_{DS} .

3.2.2. Transferkennlinie



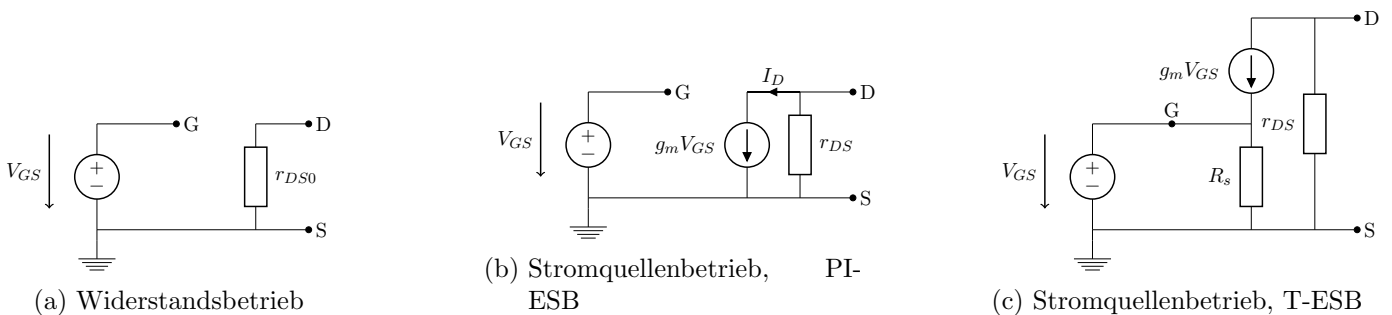
	Ausgangsstrombereich	Mathematische Charakterisierung	Zugrundeliegender physikalischer Effekt
0	Leckstrombereich (LECK)	I_D erreicht Minimalwert, der nicht weiter unterschritten werden kann	Drain-Substratdiode und Source-Substratdiode haben Leckströme im Substrat
1	Exponentieller Bereich (EXP)	I_D steigt exponentiell mit V_{GS}	Kanal zeigt schwache Inversion (Beim n-Kanal-Transistor: Ursprünglich p-leitender Kanal ist schwach n-leitend)
2	Schwellen Bereich (MOD)	Keine „handlichen“ Formel für I_D vorhanden	Kanal zeigt moderate Inversion (Kanalzustand liegt zwischen schwacher und starker Inversion)
3	Quadratischer Bereich (QUAD)	I_D steigt quadratisch mit V_{GS}	Kanal zeigt starke Inversion (Beim n-Kanal-Transistor: Ursprünglich p-leitender Kanal wirkt stark n-leitend)
4	Linearer Bereich (LIN)	I_D steigt annähernd linear mit V_{GS} (halb QUAD, halb LIN)	Geschwindigkeitsänderung der Ladungsträger im Kanal (die Ladungsträger können nicht weiter beschleunigt werden)

3.3. Drainstromgleichungen

Ausgangsstrom (I_D -, V_{GS} -Bereich)	Ausgangsspannungsbereich (V_{DS} -Bereich)	
	Transistor ungesättigt ($ V_{DS} < V_{DS,sat} $)	Transistor gesättigt ($ V_{DS} > V_{DS,sat} $)
n-Kanal Transistor		
EXP-Bereich (weak inversion)	$I_D = I_M e^{\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - e^{\frac{-V_{DS}}{\Phi_t}}) (1 + \lambda V_{DS})$	$I_D = I_M e^{\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 + \lambda V_{DS})$
QUAD-Bereich (strong inversion)	$I_D = B[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}](1 + \lambda V_{DS})$	$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS})$
p-Kanal Transistor		
EXP-Bereich (weak inversion)	$I_D = I_M e^{-\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - e^{\frac{-V_{DS}}{\Phi_t}}) (1 - \lambda V_{DS})$	$I_D = I_M e^{-\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - \lambda V_{DS})$
QUAD-Bereich (strong inversion)	$I_D = -B[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}](1 - \lambda V_{DS})$	$I_D = -\frac{\beta}{2}(V_{GS} - V_T)^2(1 - \lambda V_{DS})$

Wird die Kanallängenmodulation vernachlässigt, kann einfach der $(1 + \lambda V_{DS})$ Term weggelassen werden.

3.4. Kleinsignal-Ersatzschaltbild



3.5. Kleinsignalparameter

	Transistor ungesättigt	Transistor gesättigt
weak inversion	Kanalwiderstand bei $V_{DS} = 0$: $r_{DS0} = \frac{dV_{DS}}{dI_D} \Big _{V_{DS}=0} = \frac{\Phi_t}{I_{D0}}$ Kanalwiderstand bei $V_{DS} = 0V \dots V_{DS,sat}$: $r_{DS} = \frac{dV_{DS}}{dI_D} \approx \frac{\Phi_t}{I_D} e^{\frac{V_{DS}}{\Phi_t}}$ (ungenau, kaum benötigt)	Kanalwiderstand: $r_{DS} = \frac{1}{g_0} = \frac{dV_{DS}}{dI_D} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$
	g_m nicht benötigt	Steilheit $g_m = \frac{dI_D}{dV_{GS}} = \frac{I_D}{n_m \Phi_t}$
strong inversion	Kanalwiderstand bei $V_{DS} = 0$: $r_{DS0} = \frac{dV_{DS}}{dI_D} \Big _{V_{DS}=0} = \frac{1}{\beta(V_{GS} - V_T)(1 + \lambda V_{DS})}$ Kanalwiderstand bei $V_{DS} = 0V \dots V_{DS,sat}$: $r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta[(V_{GS} - V_T) - V_{DS}](1 + \lambda V_{DS})}$	Kanalwiderstand: $r_{DS} = \frac{1}{g_0} = \frac{dV_{DS}}{dI_D} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$
	g_m nicht benötigt	Steilheit (zwei Formeln) $g_m = \frac{dI_D}{dV_{GS}} = \beta(V_{GS} - V_T)(1 + \lambda V_{DS})$ $g_m = \frac{dI_D}{dV_{GS}} = \sqrt{2I_D \beta(1 + \lambda V_{DS})} = \frac{2I_D}{V_{GS} - V_T}$

3.6. Parameter

$V_{DS,sat}$	Sättigungsspannung	
a_A	Early-Faktor	
V_T	Schwellenspannung	Typisch $0.6V$ beim n-Kanal, resp. $-0.6V$ beim p-Kanal. V_T ist stark von der Source-Bulk-Spannung abhängig (Body-Effekt): $V_T = V_{T0} \pm \Delta V_T \quad \text{mit} \quad \Delta V_T = \gamma(\sqrt{V_{SB} \pm \Phi_0} - \sqrt{\Phi_0})$ positives Vorzeichen für n-Kanal, negatives für p-Kanal, $\gamma_N \approx 0.6\sqrt{V}$, $\gamma_P \approx 0.5\sqrt{V}$, $\Phi_0 = 0.6V$
Φ_t	Temperaturspannung	$\Phi_t = V_{Temp} = \frac{kT}{e} = 86.2 \frac{\mu V}{K} T$ somit ist $\Phi_t = 25.9mV$ bei $T = 300^\circ K$ bzw. $27^\circ C$
I_M	Drainstrom	Drainstrom an der Grenze zwischen schwacher und moderater Inversion. $I_M = \frac{W}{L} \cdot I'_M$ I'_M ist der spezifische Drainstrom an der Grenze
n_M	Unterschwellen-Neigungsfaktor	Der Faktor n_m ist von der Source-Bulk-Spannung V_{SB} abhängig: $n_M = 1 + \frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}}$ mit $\Phi_0 = 2\Phi_F \approx 0.6V$. Für $V_{SB} = 0$ erhalten wir $n_M = 1.39$. Häufig wird ein Wert von $n_M \approx 1.5$ angegeben.

V_A	Early-Spannung	$V_A \approx a_A \cdot L$ V_A ist immer positiv
λ	Kanallängen-Modulationsfaktor	inverser Wert der Early-Spannung $\lambda = \frac{1}{V_A} \approx \frac{1}{a_A L}$ Der MOS-Transistor wird vielfach mit $\lambda = 0$ idealisiert, was die Handrechnung vereinfacht.
B, β	Transkondukdanz	Steilheit, Verstärkungsfaktor. Dieser Faktor ist im gesättigten und ungesättigten Betrieb grundsätzlich verschieden . Es gilt: $\beta = \frac{W}{L} \beta_0 = \frac{W}{L} \mu C''_{ox}$.
g_m	Transkonduktanz	Steilheit oder Gate-Steilheit. Beschreibt Zusammenhang zwischen I_{DS} und V_{GS} . Mass für die Verstärkung.
g_{mb}	Body-Transkonduktanz	Beschreibt Wirkung des Body-Effekts. Nur im gesättigtem Stromquellenbetrieb von Bedeutung. Berechnung siehe Zbinden Formeln.
g_0	Ausgangsleitwert	
r_{DS}	Ausgangswiderstand	$r_{DS} = \frac{1}{g_0} \approx \frac{\Delta V_{DS}}{\Delta I_D}$ oder $r_{DS} = \frac{V_A + V_{DS}}{I_{D,real}} \approx \frac{V_A}{I_D}$ $V_A, V_{DS}, I_{D,real}$ immer im Betrag
r_s	innerer Source-Widerstand	$r_s = \frac{1}{g_m}$

4. MOS-Diode_{Kap. 7}

Für Kennlinien der MOS-Dioden siehe Abbildung 2. Die MOS-Diode funktioniert im Stromquellenbetrieb.

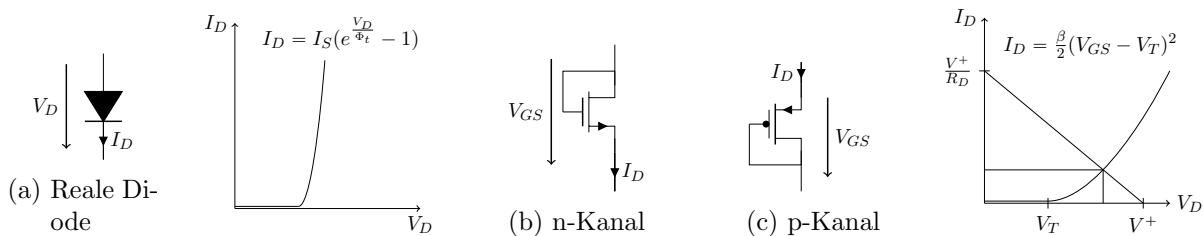


Abbildung 2: Gegenüberstellung Dioden-Kennlinien

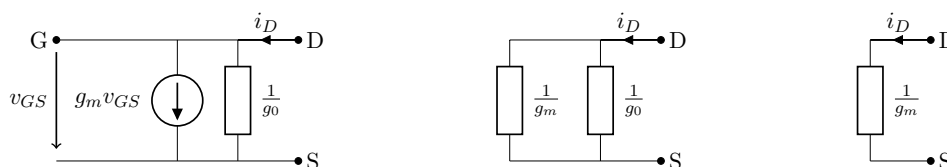


Abbildung 3: Ersatzschaltungen der MOS-Diode

Arbeitspunktstrom einer MOS-Diode mit Widerstandslast R_D	$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 = \frac{V^+ - V_{GS}}{R_D}$
V_{DS} einer MOS-Diode bei gegebenem Strom	$V_{DS} = V_T + \sqrt{\frac{2I_D}{\beta(1+\lambda V_{DS})}} \approx V_T + \sqrt{\frac{2I_D}{\beta}}$
Innenwiderstand der MOS-Diode	$r_{MD} = \frac{v_{GS}}{i_D} = \frac{1}{g_m + g_0} \approx \frac{1}{g_m}$

5. MOS-Transistor als Stromquelle_{Kap. 8}

5.1. Strom einer MOS Stromquelle

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \approx \frac{\beta}{2} (V_{GS} - V_T)^2$$

5.2. Sättigungsspannung

Bei starker Inversion $V_{DS,sat} = V_{GS} - V_t = \sqrt{\frac{2I_d}{\beta}}$

Bei schwacher Inversion $V_{DS,sat} \approx 5\Phi_t \approx 130mV$

Schaltung	Konfiguration	Ausgangswiderstand r_0	Minimale Ausgangsspannung $V_{0,min}$
	Einfache Quelle mit 1 Transistor	$r_{out} = r_{iD} = r_{DS} = \frac{1}{g_0} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$	$V_0 > V_{0,min} = V_{DS,sat}$
	Stromquelle mit Source-Widerstand	$r_{iD} = r_{DS} \left(1 + \frac{R_S}{r_s} + \frac{R_S}{r_{DS}} \right) = \frac{1}{g_0} (1 + g_m R_S) + R_S$	$V_0 > V_{0,min} = R_S I_D + V_{DS,sat}$
	Stromquelle mit Kaskode	$r_{out} = r_{o2} \approx \frac{r_{DS}^2}{r_{S2}} = \left(\frac{r_{DS}}{r_s} \right) r_{DS} = \mu \cdot r_{DS} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}}$	$V_{0,min} = V_{G2} - V_{GS2} + V_{DS2,sat}$ $V_{0,min} = V_{DS1,sat} + V_{DS2,sat}$ (mit $V_{G2} = V_{DS1,sat} + V_{GS2}$)
	Stromquelle mit geregelter Kaskode	$r_{out} \approx r_{DS1} \cdot \frac{r_{DS2}}{r_{S2}} \cdot \frac{r_{DS3}}{r_{S3}} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot \frac{g_{m3}}{g_{o3}}$	$V_{O,min} = 2V_{DS,sat}$

6. MOS Stromspiegel_{Kap. 9}

Ziel: Aus einer einzelnen genauen Strom- oder Spannungsquelle verschiedene genaue Ströme erzeugen.

Stromspiegelverhältnis

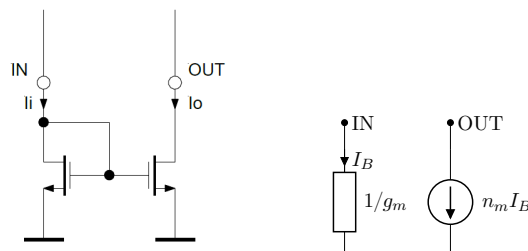
$$n_m = \frac{I_o}{I_i} = \frac{\left(\frac{W}{L}\right)_o}{\left(\frac{W}{L}\right)_i} = \frac{I_{Do}}{I_{Di}}$$

Berechnung Ausgangsstrom

$$I_{out} = I_{in} \cdot \frac{W_{T_{out}}}{W_{T_{in}}}$$

gilt nur wenn $L_{T_{out}} = L_{T_{in}}$

ESB des Widlar-Stromspiegels



Stromspiegeltyp	Genauigkeit	r_{out}	V_I	$V_{O,min}$
Widlar Stromspiegel	+	$= \frac{1}{g_0}$	$\approx V_T + \sqrt{\frac{2I_I}{\beta}}$	$\approx \sqrt{\frac{2I_0}{\beta}}$
Wilson Stromspiegel	+	$\approx \frac{1}{g_0} (2 + \frac{g_m}{g_0})$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
Verbesserter Wilson	++	$\approx \frac{1}{g_0} (2 + \frac{g_m}{g_0})$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
Kaskode-Stromspiegel	++	$\approx \frac{1}{g_0} (2 + \frac{g_m}{g_0})$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
geregelt Kaskode	++	$\approx \frac{1}{g_0} (\frac{g_m}{g_0})^2$	$\approx V_T + \sqrt{\frac{2I_I}{\beta}}$	$\approx 2\sqrt{\frac{2I_0}{\beta}}$

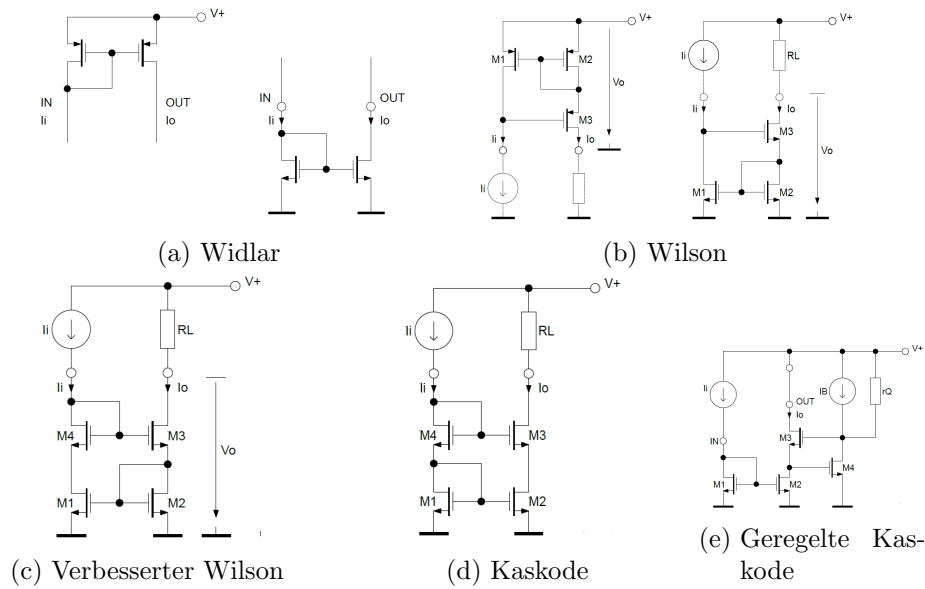


Abbildung 4: Die Stromspiegeltypen

7. Grundsaltungen mit MOS-Transistoren Kap. 6

7.1. Grundsaltungen

Die Grundsaltungen besitzen je einen Ein- und Ausgang. Derjenige Transistoranschluss, welcher weder Ein- noch Ausgang darstellt gibt der Grundsaltung den Namen.

Grundsaltung	Eingangsanschluss	Ausgangsanschluss	Namensgebender Anschluss
Source Schaltung	Gate	Drain	Source
Gate Schaltung	Source	Drain	Gate
Drain Schaltung (Source-Folger)	Gate	Source	Drain

Eigenschaften:

Grundsaltung	Typische Anwendung	Eingangs-/Ausgangswiderstand
Source Schaltung	Verstärker tiefe bis mittlere Frequenzen	gross/gross
Gate Schaltung	Verstärker hohe Frequenzen	klein/gross
Drain Schaltung	Spannungsfolger / Impedanzwandler	gross/klein

8. Einstufige MOS Verstärker Kap. 10

Verstärker mit Widerstandslast	$a = -\frac{g_m}{\frac{1}{R_D} + g_0}$ $r_{out} = r_{iD} = \frac{1}{g_0}(1 + g_m R_S) + R_S$
Verstärker mit MOS-Dioden-Last	$a = -\frac{\frac{1}{R_S + \frac{1}{g_{m1}}}}{g_{m2}} \stackrel{R_S=0}{=} -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{\beta_1}{\beta_2}}$
Verstärker mit Stromquellenlast	$a = -\frac{R_D}{R_S + \frac{1}{g_m} + (R_D + R_S) \frac{g_0}{g_m}} \stackrel{R_S=0}{=} -\frac{g_{m1}}{g_{01} + g_{02}}$
Verstärker mit parallelem Eingang (Push-Pull)	$a = \frac{g_{m-N1} + g_{m-P1}}{g_{0-N1} + g_{0-P1}} = -(g_{m-N1} + g_{m-P1}) \cdot (r_{DS-N1} r_{DS-P1})$
Verstärker mit Stromumlenkung	$a \approx -a_i \frac{R_L r_{DS3}}{R_S + \frac{1}{g_{m1}}}$
Kaskode mit Widerstandslast	$a \approx -g_{m1} R_D$
Kaskode mit Stromquellenlast	$a \approx -\frac{g_{m1}}{g_{03}}$

9. Frequenzverhalten von MOS Verstärker

Jeder Knoten N bildet einen Pol bei der Frequenz $f_N = \frac{1}{2\pi \cdot R_N C_N}$.

Grobe Analyse: Die Knoten mit hohen RC-Produkten suchen. Dort entstehen Systempole, welche einen Abfall von 20dB/Dekade im Frequenzgang einleiten.

9.1. Widerstände

Knotenimpedanz praktisch unendlich:

Gate: $r_{iG} \rightarrow \infty$

Knotenimpedanz sehr hoch:

Drain des Transistors wenn als Stromquelle beschaltet:

$$r_{ds} = \frac{1}{g_0}$$

Knotenimpedanz tief:

Drain des Transistors in Diodenschaltung, Source des Transistors in Stromquellenschaltung: $\frac{1}{g_m}$

9.2. Kapazitäten

Knotenkapazität gross:

C als passive Schaltungskomponente.

Knotenkapazität mittel:

parasitäre Kapazität verstärkt durch Miller-Effekt. Häufig C_{GD} eines verstärkenden Transistors.

Knotenkapazität klein:

Knoten mit parasitären Kapazitäten. In der Regel beim Gate-Knoten am höchsten.

9.3. Millerkapazität

Die Miller Kapazität C_M zwischen Ein- und Ausgang eines Verstärkers mit Verstärker A liegt, erscheint:

multipliziert mit $(1 - A)$ parallel zum Eingang (C_{MI})
multipliziert mit $(1 - \frac{1}{A})$ parallel zum Ausgang (C_{MO})

C_M wird aus dem Schema entfernt

9.4. Darstellung

1. DC Verstärkung berechnen (aus Kleinsignalersatzschaltung für Niederfrequenz)
2. Die relevanten Pole finden (An welchem Knoten befindet sich ein hohes RC Produkt)
3. Pole in Bode-Diagramm einzeichnen

9.5. Typische Kapazitäten

	C_{GS}	C_{GD}	C_{SB}	C_{DB}
Gesättigt	$C_{GS0} + \frac{2}{3}C_{ox}$	C_{GD0}	$C_{jSBt} + \frac{2}{3}C_{Bct}$	C_{jDBt}
Typ. Wert	33 fF	1.2 fF	10 fF	7 fF
Ungesättigt	$C_{GS0} + \frac{1}{2}C_{ox}$	$C_{GD0} + \frac{1}{2}C_{ox}$	$C_{jSBt} + \frac{1}{2}C_{Bct}$	$C_{jDBt} + \frac{1}{2}C_{BCT}$
Typ. Wert	26 fF	26 fF	10 fF	10 fF

$$C_{ox} = C_{ox} \cdot W \cdot L_{eff} \quad C_{Bct} = C_{jBC} \cdot W \cdot L_{eff}$$

$$C_{jSBt} = C_{jSB} \cdot A_S + C_{jswSB} \cdot P_S$$

$$C_{jDBt} = C_{jDB} \cdot A_D + C_{jswDB} \cdot P_D$$

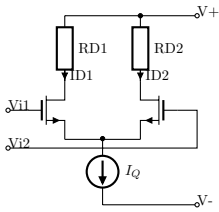
Wenn $V_{SB} = 0$, dann C_{SB} ignorieren und $C_{DB} = C_{DS}$.

10. MOS Operationsverstärker

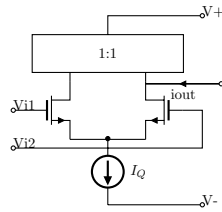
10.1. Struktur

Differenzstufe (Eingangsstufe)	bildet die Differenz der Eingangssignale, verstärkt sie mit dem Differenz-Verstärkungsfaktor
Verstärkungsstufe (Integratorstufe)	Verstärkerstufe, erhöht die Gesamtverstärkung. Bestimmt meist die Gesamtbandbreite des Operationsverstärkers
Leistungsstufe (Ausgangsstufe)	Impedanzwandler. Verstärkung ist selten grösser als eins. Verkleinert den Ausgangswiderstand und stellt genügend Ausgangsstrom zur Verfügung

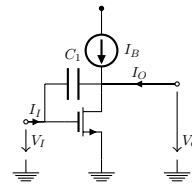
10.2. Schaltungsteile für MOS Operationsverstärker



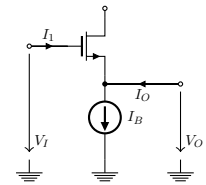
(a) Differenzstufe für Widerstandslast



(b) Differenzstufe für Stromspiegellast



(c) Verstärkerstufe



(d) Leistungsstufe

10.3. Differenz-Stufe

Eigenschaften der Differenz-Stufe bei strong inversion:

$V_d \leq \pm \frac{1}{2} \sqrt{\frac{I_Q}{\beta}}$	Linearität der Diff-Stufe gut. An Linearitätsgrenzen fließt $I_D = 0.74 I_Q$ bzw. $I_D = 0.26 I_Q$
$V_d = \pm \sqrt{\frac{I_Q}{\beta}}$	In einem der Zweige fließt $I_D = 0.93 I_Q$, im anderen $I_D = 0.07 I_Q$.
$V_d = \pm \sqrt{2} \sqrt{\frac{I_Q}{\beta}}$	Der gesamte I_Q fließt in einem der beiden Zweige.

10.4. Die wichtigsten Formeln

Verstärkung Differenzstufe

Bei Widerstandslast $i_{out} = -\frac{g_m v_d}{2}$ $a \approx \frac{g_m \cdot r_{out}}{2}$

Grenzwert bei starker Inversion

Bei Stromspiegellast $i_{out} = -g_m v_d$ $a \approx g_m \cdot r_{out}$

Grenzwert bei schwacher Inversion

$a = V_A \sqrt{\frac{\beta}{I_Q}}$ (Bedingung: $a_{E_N} = a_{E_P}$)

Gain-Bandwidth-Product

$a = \frac{V_A}{2n_M \Phi_t}$

Common mode rejection ratio

$GBP = |a| \cdot f_{P1} = -\frac{g_m}{2\pi C_L}$

Power supply rejection ratio

$CMRR = \left| \frac{a_{DM}}{a_{CM}} \right| = \frac{r_q}{r_s} = \frac{g_m}{g_{ob}}$ mit r_q : Innenwid. von I_Q

Offset: Designregel

$PSSR_+ = \left| \frac{a_{DM}}{a_{PS+}} \right|$

$PSSR_- = \left| \frac{a_{DM}}{a_{PS-}} \right|$

Symmetrie, gleiche Stromdichten $\frac{I}{W/L}$ in allen Stromspiegeltransistoren.

10.5. Slew-Rate

Definition Slew-Rate

$$SR = \frac{dv_o}{dt} = \frac{I_{out}}{C_L}$$

Differenzstufe

$$SR_r = |SR_f| = \frac{I_Q}{C_L}$$

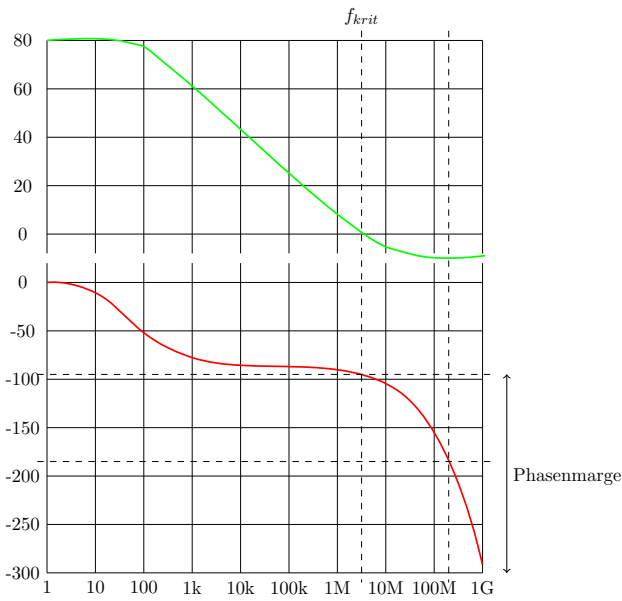
Mit Verstärkung nach SR-dominanter Stufe

$$|SR| = \frac{dv_{CL}}{dt} \cdot a$$

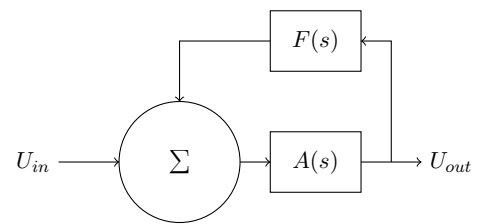
Vorgehen bei mehrstufigem Verstärker:

1. SR jeder einzelnen Verstärkerstufe untersuchen
2. SR auf den Ausgang beziehen ($\cdot a$)
3. Verstärkerstufe mit kleinster SR ist dominant.

11. Stabilität von MOS Operationsverstärker



(a) Bodeplot



(b) Rückgekoppelter Verstärker

Abbildung 6: Stabilität

Phasenmarge bei $f_{krit}(a_L = 1)$	Verhalten des Verstärkers (System mit zwei weit auseinanderliegenden Polen)
$\varphi_M \leq 0^\circ$	Gegengekoppelter Verstärker schwingt selbständig
$\varphi_M > 0^\circ$	Gedämpftes Überschwingen der Sprungantwort
$\varphi_M = 65^\circ$	Peaking verschwindet. Einziger Überschwinger mit 4.7% Sprunghöhe
$\varphi_M \geq 75^\circ$	Kein Überschwingen

Stabilitätskriterien

$$\Phi = 180^\circ$$

$$|A(s) \cdot F(s)| < 1$$

$$|A(s) \cdot F(s)| = 1$$

$$\rightarrow 180^\circ - \Phi > 0; \varphi_M > 0^\circ$$

Phasenmarge

$$\varphi_M = 180^\circ - \Phi = 90^\circ - \arctan\left(\frac{GBP}{f_{P2}}\right)$$

Designregel

Wähle 2. Pol (f_{nd}) bei ca. $3 \cdot GBP$

12. Gebräuchliche Realisierung von OTA's

Ein einstufiger OTA wird bereits durch die Differenzstufe realisiert. Dies ist jedoch nicht praktisch da die Last am Ausgang die Symmetrie der Differenzstufe stört. Schaltungen siehe Abbildung 7!

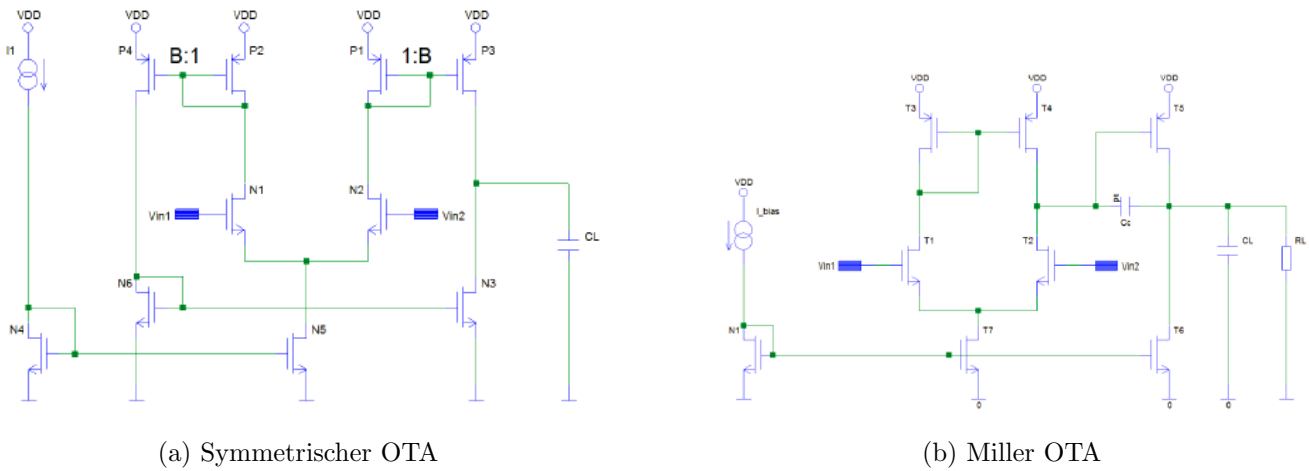


Abbildung 7: Gebräuchliche Realisierungen von OTA's

Verstärkungen:

Symmetrischer OTA: $a_v = B \cdot g_{m_{N1}} \cdot (r_{DS_{N3}} || r_{DS_{P3}})$

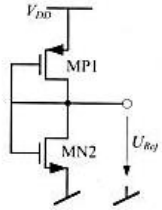
Miller OTA: $a_v = a_{v1} \cdot a_{v2} = g_{m1}(r_{DS2} || r_{DS4}) \cdot g_{m5}(r_{DS5} || r_{DS6} || R_L)$

12.1. Designgleichungen Miller OTA

Verstärkung	$a = A_1 \cdot A_2 = g_{m1} \cdot R_{N2} \cdot g_{m5} \cdot R_{N3}$
Dominanter Pol	$f_{pN2} = \frac{1}{2\pi R_{N2}(C_{N2} + A_2 C_c)} \approx \frac{1}{2\pi R_{N2} A_2 C_c}$
3dB-Bandwidth	$BW \approx f_d = f_{N2} = \frac{1}{2\pi \cdot R_{N2} \cdot A_2 C_c}$
Gain-Bandwith	$GBP = a \cdot f_d = \frac{g_{m1} \cdot R_{N2} \cdot g_{m5} \cdot R_{N3}}{2\pi \cdot R_{N2} \cdot A_2 C_c} = \frac{g_{m1}}{2\pi C_c}$
Nondominanter Pol	$f_{nd} = f_{N3} = \frac{1}{2\pi \cdot R_{N3} \cdot C_L} \approx \frac{g_{m5}}{2\pi C_L}$
Phasenmarge	$\phi_m = 90^\circ - \arctan \frac{GBP}{f_{nd}}$
Nullstelle	$f_z \approx \frac{g_{m5}}{2\pi C_c}$

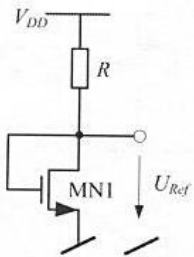
13. Spannungsreferenzen

13.1. Spannungsteiler



Temperatur: S klein
 VDD / VSS: S = 1
 Prozessvariation: S klein

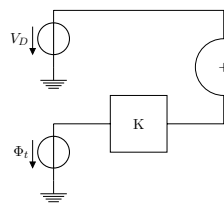
13.2. MOS-Diode



Temperatur: S klein
 VDD / VSS: S < 1
 Prozessvariation: S mittel

13.3. Bandgap-Spannungsreferenz

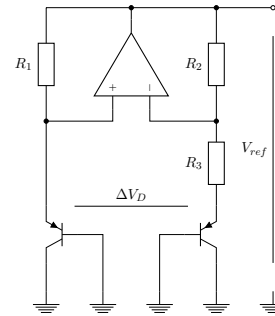
Grundprinzip:



$$\Phi_t = \frac{kT}{e}$$

(25.9mV bei Raumtemperatur)

k: Boltzmann: $1.38 \cdot 10^{-23} \frac{J}{K}$
 T: Absolute Temperatur [K]
 e: Elementarladung: $1.60 \cdot 10^{-19} C$



$$V_{ref} = V_D + K \cdot \Phi_t$$

Realisierung:

Die beiden Emitterflächen werden mit A_1 bzw. A_2 bezeichnet.
 $V_{ref} = V_{EB1} + \Phi_t \cdot \frac{R_2}{R_3} \cdot \ln \left(\frac{R_2}{R_1} \cdot \frac{A_2}{A_1} \right)$

A. Technologieparameter

Parameter	N-Kanal Transistor	P-Kanal Transistor
V_T	0.65V ($\pm 0.15V$)	0.8V ($\pm 0.15V$)
β_0	80 $\mu A/V^2$	30 $\mu A/V^2$
λ (Body Effekt Konstante)	0.6V ^{1/2}	0.5V ^{1/2}
a_A (Early-Faktor)	17V/ μm in strong inversion 10V/ μm in weak inversion	15V/ μm in strong inversion 8.8V/ μm in weak inversion
n_M (subthreshold slope factor)	1.5	1.5
I'_M	20nA	-10nA
I'_H	700nA	-300nA
$V_M - V_T$	-60mV	60mV
$V_H - V_T$	160mV	-160mV
Poly-Widerstand	33 Ω/\square	
Metall-Poly Kapazität (IN1-PS)	0.056 fF/ μm^2	