

Analog Microelectronics

Nach der Vorlesung von Prof. Dr. Paul Zbinden (FS2016)

Version: 1.0

Stefan Hedinger

23. August 2016

Inhaltsverzeichnis

1	CMOS Technologie (Kap. 3)	2
2	Passive Schaltungselemente in CMOS (Kap. 4)	2
2.1	Kapazitäten	2
2.2	Widerstände	2
2.3	Induktivitäten	2
3	MOS-Transistoren (Kap. 5)	3
3.1	Bestimmung des Arbeitsbereichs	3
3.2	Kennlinien	3
3.3	Drainstromgleichungen	4
3.4	Parameter	4
3.5	Kleinsignal-Ersatzschaltungen	5
3.6	Kleinsignalparameter	5
4	Grundschaltungen mit MOS-Transistoren (Kap. 6)	5
5	MOS-Diode (Kap. 7)	6
6	MOS-Transistor als Stromquelle (Kap. 8)	6
6.1	Strom einer MOS Stromquelle	6
6.2	Sättigungsspannung	6
7	MOS-Stromspiegel (Kap. 9)	7
8	Einstufige MOS-Verstärker (Kap. 10)	8
9	MOS Operationsverstärker (Kap. 12)	9
9.1	Struktur	9
9.2	Differenzstufe	9
9.3	Slew-Rate	9
9.4	Wichtige Kenndaten/Formeln	9
10	Stabilität von MOS Operationsverstärker (Kap. 13)	10
10.1	Widerstände	10
10.2	Kapazitäten	10
10.3	Miller-Effekt	10
10.4	Darstellung	10
10.5	Typische Kapazitäten	10
11	Gebräuchliche Realisierung von OTA's (Kap. 14)	11
12	Spannungsreferenzen (Kap. 15)	12
12.1	Bandgap-Spannungsreferenz	12
13	Allgemeines	12

1 CMOS Technologie (Kap. 3)

Oberflächenbeschichtung

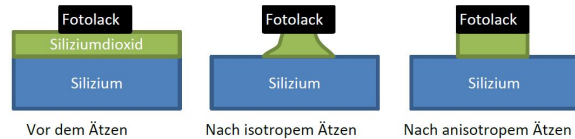
Epitaxie, Oxidation oder Abscheideverfahren

Fotolithografie

Auftragen von Fotolack, anschliessend belichten

Ätzen

Abtragen der Beschichtung



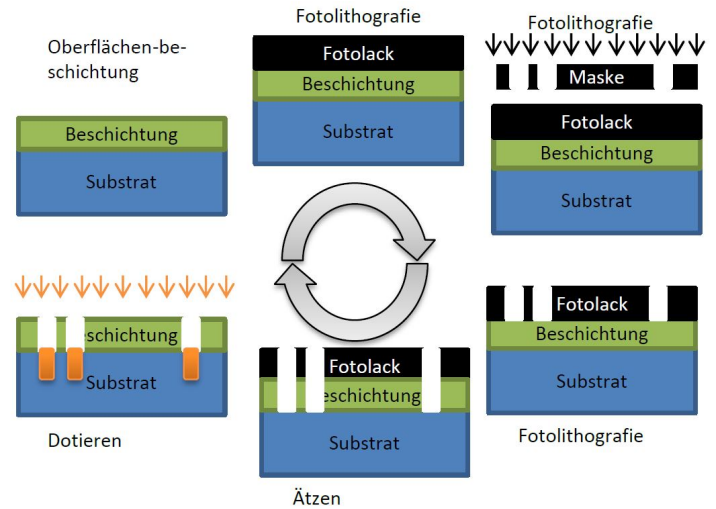
Bezeichnung	Ätzverfahren
Isotropes Ätzen	nasschemisches Ätzen
Anisotropes Ätzen	Plasmaätzen

Dotieren

Anschluss der Schicht erstellen

Säubern der Wafer

Ablauf CMOS Herstellungsprozess



CMOS Technologie - Dotierung

Wertigkeit	Dotierung	Material
3	p	Bor (B)
4	-	Silizium (Si)
5	n	Arsen (As)

2 Passive Schaltungselemente in CMOS (Kap. 4)

Absolute Genauigkeit: $\pm 20\%$ (Wert vom einzelnen Element)

Relative Genauigkeit: $\pm 1\%$ (Verhältnis von Elementen zueinander)

Da Verhältnisse sehr genau sind, werden sie in der Schaltungstechnik intensiv genutzt.

2.1 Kapazitäten

Auf einem Chip bilden sich zwischen zwei voneinander isolierten Elektroden Kapazitäten.

Poly-Poly-Kapazität ($Si-SiO_2-Si$)	$C'' \approx 1 \text{ fF}/\mu\text{m}^2$
MOS-Kapazität (Gate-Gateoxid-Kanal)	$C'' \approx 10 \text{ fF}/\mu\text{m}^2$
MIM-Kapazität (Metall-Isolator-Metall)	$C'' \approx 1 \text{ fF}/\mu\text{m}^2$

Formeln:

Kapazität/Fläche: $C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \cdot \epsilon_r}{d}$

Kapazität: $C = C'' \cdot A$

Legende:

C'' : spezifische Kapazität pro Flächeneinheit

d : Plattenabstand (meist durch Herstellung gegeben)

Konstanten:

$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F/m}$

$\epsilon_r = 3.9$ (für Siliziumoxid)

Neben der gewünschten Kapazität hat jeder Plattenkondensator auch unerwünschte Streukapazitäten. Beim Chip fällt vor allem die Streukapazität zwischen der unteren Elektrode und dem Substrat ins Gewicht.

2.2 Widerstände

Unerwünscht auf dem Chip, da hoher Platzbedarf und Wärmeentwicklung.

Poly-Widerstand	$R_{\square} \approx 10 \Omega/\square$
HR-Poly-Widerstand	$R_{\square} \approx 1 \text{ k}\Omega/\square$
P-Diffusions-Widerstand	$R_{\square} \approx 100 \Omega/\square$
N-Diffusions-Widerstand	$R_{\square} \approx 100 \Omega/\square$
N-Well-Widerstand	$R_{\square} \approx 1 \text{ k}\Omega/\square$

Legende:

$R_{\square}$: spezifischer Widerstand einer quadratischen Fläche

Formel:

$R = R_{\square} \cdot \frac{L}{W}$

Jeder Widerstand auf dem Chip erzeugt zwangsläufig Streukapazitäten, die es im Design zu berücksichtigen gilt.

2.3 Induktivitäten

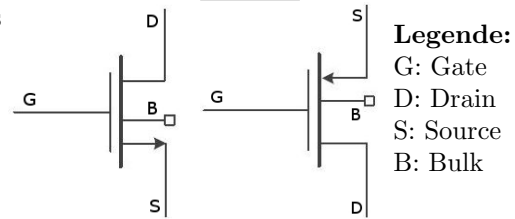
Mit Standard CMOS-Technologie lassen sich Induktivitäten nicht gut herstellen. Für RF-Anwendungen werden Spulen eingesetzt, die aber in der Ebene gewickelt werden. Spulen lassen sich ausserhalb des Chips mit z.B. Bonddrähten realisieren.

3 MOS-Transistoren (Kap. 5)

Bulk-Anschluss

Wenn der Bulk-Anschluss nicht gezeichnet ist, gilt die Konvention, NMOS: dass der Bulk des n-Transistors immer mit VSS und derjenige des p-Transistors immer mit VDD verbunden ist.

PMOS:



3.1 Bestimmung des Arbeitsbereichs

1. Bestimmung ob weak, moderate oder strong inversion.
2. Berechnen der Sättigungsspannung.
3. Wenn $|V_{DS}| > |V_{DS,sat}|$ = gesättigt

Arbeitsbereich	Bedingung	Sättigungsspannung
weak inversion $I'_D < I'_M$	$0 < V_{GS} < V_T - 60 \text{ mV}$	$V_{DS,sat} \approx 5\Phi_t \approx 130 \text{ mV}$ (bei $T = 300 \text{ K} = 27^\circ\text{C}$) $V_{GS} = V_M + n_M \cdot \Phi_t \cdot \ln \frac{I_D}{\frac{W}{L} \cdot I_M}$
moderate inversion $I'_M < I'_D < I'_H$	$V_T - 60 \text{ mV} < V_{GS} < V_T + 160 \text{ mV}$	
strong inversion $I'_H < I'_D$	$V_T + 160 \text{ mV} < V_{GS}$	$V_{DS,sat} = V_{GS} - V_T = \sqrt{\frac{2I_D}{\beta}}$

Formeln:

$$I_D = \frac{W}{L} \cdot I'_D$$

$$\Phi_t = V_{temp} = \frac{k \cdot T}{e}$$

$$\Phi_t = 25.9 \text{ mV} @ T = 27^\circ\text{C}$$

$$\beta = \frac{W}{L} \cdot \beta_0$$

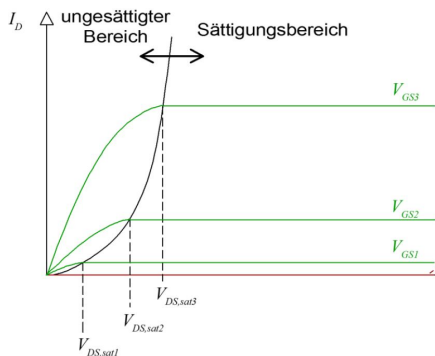
Konstanten:

$$k = 1.38 \times 10^{-23} \text{ J/K}$$

$$e = 1.60 \times 10^{-19} \text{ C}$$

3.2 Kennlinien

3.2.1 Ausgangskennlinie



Gesättigt, Stromquellen-Betrieb:

Geraden horizontal, dann ist $r_{DS} = \infty$ (idealer Transistor).

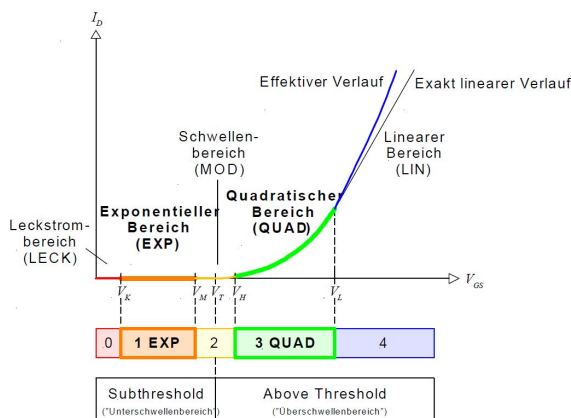
Anstieg der Geraden entspricht Ausgangsleitwert g_o bzw. Ausgangswiderstand

$$r_{DS} = \frac{1}{g_o} = \frac{dV_{DS}}{dI_D} \approx \frac{\Delta V_{DS}}{\Delta I_D}$$

Ungesättigt, Widerstandsbetrieb:

Je steiler die Gerade, desto kleiner r_{DS}

3.2.2 Transferkennlinie



Ausgangsstrom-be-reich	Mathematische Charakterisierung	Zugrundeliegender physikalischer Effekt
0 Leckstrom-bereich (LECK)	I_D erreicht Minimalwert, der nicht weiter unterschritten werden kann	Drain-Substratdiode und Source-Substratdiode haben Leckströme ins Substrat
1 Exponentieller Bereich (EXP)	I_D steigt exponentiell mit V_{GS}	Kanal zeigt schwache Inversion (Beim n-Kanal-Transistor: Ursprünglich p-leitender Kanal ist schwach n-leitend)
2 Schwellen-bereich (MOD)	Keine „handliche“ Formel für I_D vorhanden	Kanal zeigt moderate Inversion (Kanalzustand liegt zwischen schwacher und starker Inversion)
3 Quadratischer Bereich (QUAD)	I_D steigt quadratisch mit V_{GS}	Kanal zeigt starke Inversion (Beim n-Kanal-Transistor: Ursprünglich p-leitender Kanal wird stark n-leitend)
4 Linearer Bereich (LIN)	I_D steigt annähernd linear mit V_{GS} (halb QUAD, halb LIN)	Geschwindigkeitssättigung der Ladungsträger im Kanal (die Ladungsträger können nicht weiter beschleunigt werden)

3.3 Drainstromgleichungen

Ausgangsstrom (I_D , V_{GS} -Bereich)	Ausgangsspannungsbereich (V_{DS} -Bereich)	
	Transistor ungesättigt ($ V_{DS} < V_{DS,sat} $)	Transistor gesättigt ($ V_{DS} \geq V_{DS,sat} $)
n-Kanal Transistor		
EXP-Bereich	$I_D = I_M e^{\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - e^{-\frac{V_{DS}}{\Phi_t}}) (1 + \lambda V_{DS})$	$I_D = I_M e^{\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 + \lambda V_{DS})$
QUAD-Bereich	$I_D = B[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}](1 + \lambda V_{DS})$	$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS})$
p-Kanal Transistor		
EXP-Bereich	$I_D = I_M e^{-\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - e^{-\frac{V_{DS}}{\Phi_t}}) (1 - \lambda V_{DS})$	$I_D = I_M e^{-\frac{V_{GS}-V_M}{n_M \Phi_t}} (1 - \lambda V_{DS})$
QUAD-Bereich	$I_D = -B[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}](1 - \lambda V_{DS})$	$I_D = -\frac{\beta}{2}(V_{GS} - V_T)^2(1 - \lambda V_{DS})$

Wird die Kanallängenmodulation vernachlässigt, kann einfach der $(1 \pm \lambda V_{DS})$ Term weggelassen werden.

3.4 Parameter

$V_{DS,sat}$	Sättigungsspannung	im EXP-Bereich: $V_{DS,sat} = -5\Phi_t$ im QUAD-Bereich: $V_{DS,sat} = V_{GS} - V_T$
V_T	Schwellenspannung	Typisch 0.6 V beim n-Kanal, resp. -0.6 V beim p-Kanal. V_T ist stark von der Source-Bulk-Spannung abhängig (Body-Effekt): $V_T = V_{T0} \pm \Delta V_T$ mit $\Delta V_T = \lambda(\sqrt{V_{SB} \pm \Phi_0} - \sqrt{\Phi_0})$ (+ für n-Kanal-Transistoren, - für p-Kanal Transistoren) $\gamma_N \approx 0.6\sqrt{V}$ bzw. $\gamma_P \approx 0\sqrt{V}$ ($\sqrt{V}$ ist die Einheit von γ) Handrechnung: $\gamma \approx \gamma_N \approx \gamma_P \approx 0.6\sqrt{V}$
Φ_t	Temperaturspannung	$\Phi_t = V_{Temp} = \frac{kT}{e} = 86.2 \mu\text{V/K} \cdot T$ somit ist $\Phi_t = 25.9 \text{ mV}$ bei $T = 300 \text{ K}$ bzw. 27°C
I_M	Drainstrom	Drainstrom an der Grenze zwischen schwacher und moderater Inversion. $I_M = \frac{W}{L} \cdot I'_M$ I'_M ist der spezifische Drainstrom an der Grenze
n_M	Unterschwellen- Neigungsfaktor	Der Faktor n_M ist von der Source-Bulk-Spannung V_{SB} abhängig: $n_M = 1 + \frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}}$ mit $\Phi_0 = 2\Phi_F \approx 0.6 \text{ V}$. Für $V_{SB} = 0$ erhalten wir $n_M = 1.39$. Häufig wird ein Wert von $n_M \approx 1.5$ angegeben.
a_A	Early-Faktor	(gemäss Technologieparametern)
V_A	Early-Spannung	$V_A \approx a_A \cdot L$ V_A ist immer positiv
λ	Kanallängen- Modulationsfaktor	inverser Wert der Early-Spannung $\lambda = \frac{1}{V_A} \approx \frac{1}{a_A L}$ Bei der Handrechnung wird der MOS-Transistor meistens mit $\lambda = 0$ idealisiert
B, β	Transkonduktanz	Steilheit, Verstärkungsfaktor. Dieser Faktor ist im gesättigten (β) und ungesättigten Bereich (B) grundsätzlich verschieden. Es gilt: $\beta = \frac{W}{L} \beta_0$ bzw. $B = \frac{W}{L} B_0$; $B_0 \approx \beta_0 = \mu C''_{ox}$
g_m	Transkonduktanz	Steilheit oder Gate-Steilheit. Beschreibt den Zusammenhang zwischen I_{DS} und V_{GS} . Mass für die Verstärkung. (Siehe Tabelle Kleinsignalparameter)
g_{mb}	Body-Transkonduktanz	Beschreibt die Wirkung des Body-Effekts. Nur im gesättigtem Stromquellenbetrieb von Bedeutung. $g_{mb} = \frac{dI_D}{dV_{SB}} = -g_m(n_M - 1) = -g_m(\frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}})$
g_0	Ausgangsleitwert	$g_0 = \frac{1}{r_{DS}} = \frac{I_D}{V_A + V_{DS}}$
r_{DS}	Ausgangswiderstand	$r_{DS} = \frac{1}{g_0} \approx \frac{\Delta V_{DS}}{\Delta I_D}$ oder $r_{DS} = \frac{V_A + V_{DS}}{I_{D,real}} \approx \frac{V_A}{I_D}$ $V_A, V_{DS}, I_{D,real}$ immer im Betrag
r_{DS0}	Einschaltwiderstand	Kleinstmöglicher Ausgangswiderstand (bei $V_{DS} = 0 \text{ V}$) $r_{DS0} = \frac{dV_{DS}}{dI_D} _{V_{DS}=0} = \frac{1}{\beta(V_{GS} - V_T)}$
r_s	innerer Sourcewiderstand	$r_s = \frac{1}{g_m} = \frac{1}{\sqrt{2\beta I_D}}$

3.5 Kleinsignal-Ersatzschaltungen

Widerstandsbetrieb (ungesättigt)	Stromquellenbetrieb (gesättigt, mit Body-Effekt)		Hochfrequenz Ersatzschaltung integrierter MOS-Transistor
	PI-Ersatzschaltung 	T-Ersatzschaltung 	

3.6 Kleinsignalparameter

	Transistor ungesättigt	Transistor gesättigt
weak inversion	Kanalwiderstand bei $V_{DS} = 0$: $r_{DS0} = \frac{dV_{DS}}{dI_D} \big _{V_{DS}=0} = \frac{\Phi_t}{I_{D0}}$ Kanalwiderstand bei $V_{DS} = 0 \text{ V} \dots V_{DS,sat}$: $r_{DS} = \frac{dV_{DS}}{dI_D} \approx \frac{\Phi_t}{I_D} e^{\frac{V_{DS}}{\Phi_t}}$ (ungenau, kaum benötigt) g_m nicht benötigt	Kanalwiderstand: $r_{DS} = \frac{1}{g_0} = \frac{dV_{DS}}{dI_D} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$
strong inversion	Kanalwiderstand bei $V_{DS} = 0$: $r_{DS0} = \frac{dV_{DS}}{dI_D} \big _{V_{DS}=0} = \frac{1}{\beta(V_{GS} - V_T)(1 + \lambda V_{DS})}$ Kanalwiderstand bei $V_{DS} = 0 \text{ V} \dots V_{DS,sat}$: $r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta[(V_{GS} - V_T) - V_{DS}](1 + \lambda V_{DS})}$ g_m nicht benötigt	Kanalwiderstand: $r_{DS} = \frac{1}{g_0} = \frac{dV_{DS}}{dI_D} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$ Steilheit (zwei Formeln) $g_m = \frac{dI_D}{dV_{GS}} = \beta(V_{GS} - V_T)(1 + \lambda V_{DS})$ $g_m = \frac{dI_D}{dV_{GS}} = \sqrt{2I_D\beta(1 + \lambda V_{DS})} = \frac{2I_D}{V_{GS} - V_T}$

4 Grundsaltungen mit MOS-Transistoren (Kap. 6)

	Source-Schaltung:	Gate-Schaltung:	Drain-Schaltung: (Source-Folger)
Schema			
Art	Invertierender Verstärker	Nichtinvertierender Verstärker	Nichtinvertierender Verstärker
Anwendung	Verstärkung tiefe bis mittlere Frequenzen	Verstärker hohe Frequenzen (HF-Verstärker)	Spannungsfolger / Impedanzwandler
Eingang	Gate	Source	Gate
Ausgang	Drain	Drain	Source
R_{in} / R_{out}	gross/gross	klein/gross	gross/klein
Verstärkung	Bei $1/g_m, R_D \ll 1/g_0$: $a \approx -\frac{R_D}{R_S + \frac{1}{g_m}}$ Bei $R_S = 0$: $a \approx -g_m(R_D r_{DS})$	Bei $1/g_m, R_D \ll 1/g_0$: $a \approx \frac{R_D}{R_S + \frac{1}{g_m}}$ Bei $R_S = 0$: $a \approx g_m(R_D r_{DS})(1 + \frac{g_0}{g_m})$	Bei $R_S, R_D \ll 1/g_0$: $a \approx \frac{R_S}{R_S + \frac{1}{g_m}}$ Idealer Source-Folger: $A \approx 1$ $(1/g_m \ll R_S \ll 1/g_0)$
$g_m = \frac{1}{r_s}$ $g_0 = \frac{1}{r_{DS}} = \frac{I_D}{V_A + V_{DS}} \approx \frac{I_D}{V_A}$ (Näherung für $V_A \gg V_{DS}$) $V_A = a_A \cdot L$ ($V_A = 5 \text{ V} \dots 100 \text{ V}$, Kanallängenabh.)			

5 MOS-Diode (Kap. 7)

Um eine MOS-Diode aus einem MOS-Transistor zu erhalten, werden die Anschlüsse von Gate und Drain verbunden.

Reale Diode:		MOS-Diode:			
Symbol	Kennlinie	N-MOS-Diode	P-MOS-Diode	Kennlinie	KS-Ersatzschaltung

Arbeitspunktstrom einer MOS-Diode mit Widerstandslast R_D	$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) = \frac{V^+ - V_{GS}}{R_D}$
V_{DS} einer MOS-Diode bei gegebenem Strom	$V_{DS} = V_T + \sqrt{\frac{2I_D}{\beta(1 + \lambda V_{DS})}} \approx V_T + \sqrt{\frac{2I_D}{\beta}}$
Innenwiderstand der MOS-Diode	$r_{MD} = \frac{v_{GS}}{i_D} = \frac{1}{g_m + g_o} \approx \frac{1}{g_m}$
Im quadratischen Bereich gilt:	$g_m = \beta(V_{GS} - V_T) = \sqrt{2\beta I_D}$

Bei der leitenden MOS-Diode ist der Transistor immer gesättigt, weil $V_{DS} > V_{DS,sat} = (V_{GS} - V_T)$ jederzeit erfüllt ist.

MOS-Dioden als Spannungsteiler

Mit Bodyeffekt	Ohne Bodyeffekt	Mehrfach Spannungsteiler	
$V_{SB1} = 0, V_{SB2} = V_{GS1}$ daher Body-Effekt und $V_{T2} > V_{T1}$	$V_{SB1} = 0, V_{SB2} = 0$ daher kein Body-Effekt. Es gelten die Nominalwerte für V_{T2}, V_{T1}	Lokales Substrat, V_{Ti} für alle gleich $\rightarrow$ gleiche Teilspannungen	Gemeinsames Substrat, unterschiedliche $V_{Ti} \rightarrow$ unterschiedliche Teilspannungen

6 MOS-Transistor als Stromquelle (Kap. 8)

Die Drain-Source-Strecke des MOS-Transistors stellt im Sättigungsbetrieb eine gesteuerte Stromquelle dar, deren Ausgangswiderstand (Innenwiderstand am Drain) relativ hoch ist.

6.1 Strom einer MOS Stromquelle

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \approx \frac{\beta}{2}(V_{GS} - V_T)^2$$

6.2 Sättigungsspannung

Bei starker Inversion $V_{DS} \geq V_{DS,sat} = V_{GS} - V_T = \sqrt{\frac{2I_D}{\beta}}$

Bei schwacher Inversion $V_{DS} \geq V_{DS,sat} \approx 5\Phi_t \approx 130 \text{ mV}$

einfache Stromquelle mit und ohne Source-Widerstand	Stromquelle mit Kaskode	Stromquelle mit geregelter Kaskode

Konfiguration	Ausgangswiderstand r_0	min. Ausgangsspannung $V_{0,min}$
Einfache Quelle mit 1 Transistor	$r_{out} = r_{iD} = r_{DS} = \frac{1}{g_0} = \frac{V_A + V_{DS}}{I_D} \approx \frac{V_A}{I_D}$	$V_0 > V_{0,min} = V_{DS,sat}$
Stromquelle mit Source-Widerstand	$r_{iD} = r_{DS} \left(1 + \frac{R_S}{r_{DS}} + \frac{R_S}{r_{DS}}\right) = \frac{1}{g_0} (1 + g_m R_S) + R_S$	$V_0 > V_{0,min} = R_S I_D + V_{DS,sat}$
Stromquelle mit Kaskode	$r_{out} = r_{o2} \approx \frac{r_{DS}^2}{r_{S2}} = \left(\frac{r_{DS}}{r_S}\right) r_{DS} = \mu \cdot r_{DS} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}}$	$V_{0,min} = V_{G2} - V_{GS2} + V_{DS2,sat}$ $V_{0,min} = V_{DS1,sat} + V_{DS2,sat}$ (mit $V_{G2} = V_{DS1,sat} + V_{GS2}$)
Stromquelle mit geregelter Kaskode	$r_{out} \approx r_{DS1} \cdot \frac{r_{DS2}}{r_{S2}} \cdot \frac{r_{DS3}}{r_{S3}} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot \frac{g_{m3}}{g_{o3}}$	$V_{0,min} = 2V_{DS,sat}$

7 MOS-Stromspiegel (Kap. 9)

Stromspiegelverhältnis

$$n_m = \frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_{out}}{\left(\frac{W}{L}\right)_{in}}$$

Berechnung Ausgangsstrom

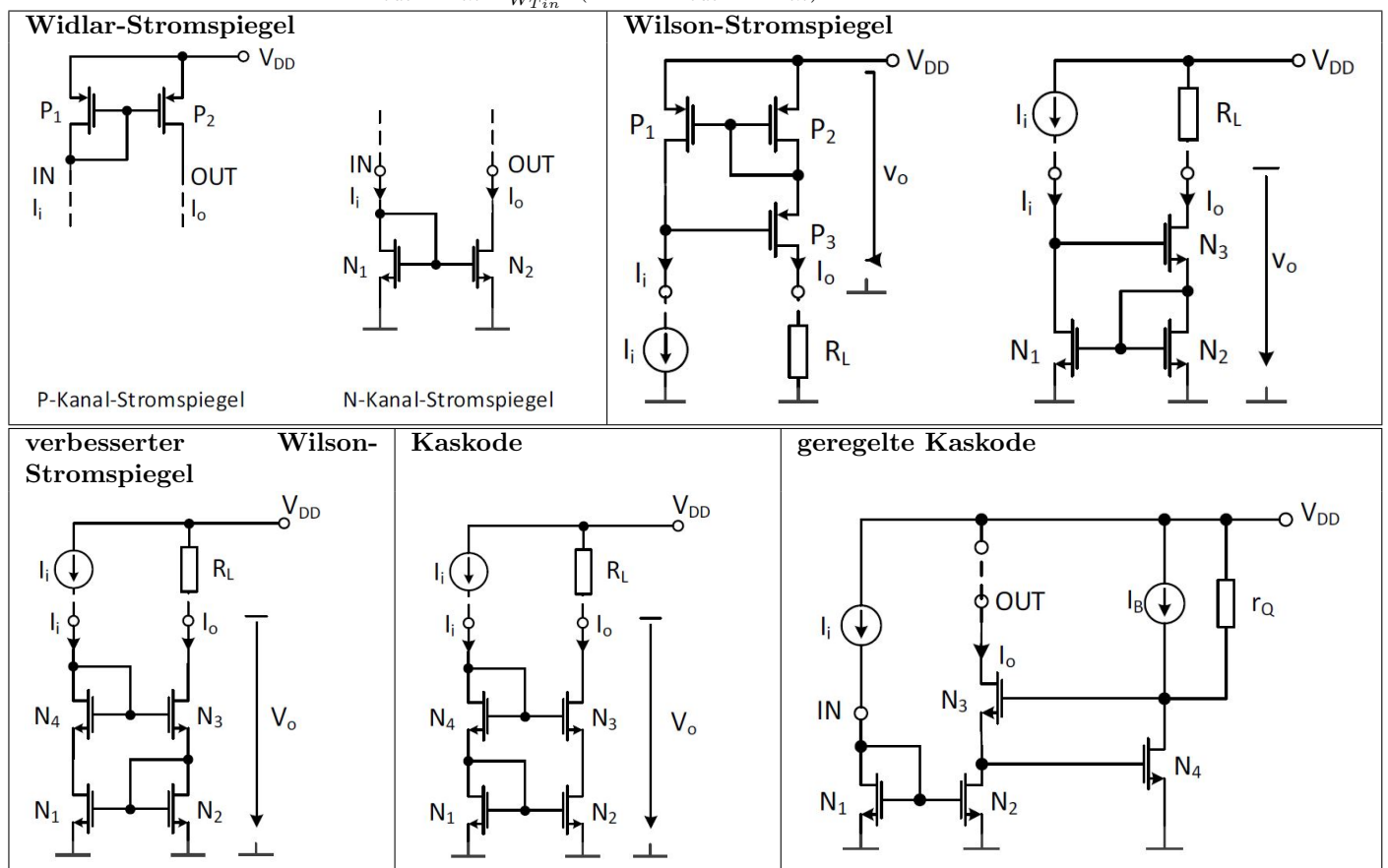
$$I_{out} = I_{in} \cdot \frac{\left(\frac{W}{L}\right)_{out}}{\left(\frac{W}{L}\right)_{in}} \quad (\text{allgemein})$$

$$I_{out} = I_{in} \cdot \frac{W_{Tout}}{W_{Tin}} \quad (\text{wenn } L_{Tout} = L_{Tin})$$

Impedanzen

Eingangsimpedanz (ideal): $r_{in} = 0\Omega$

Ausgangsimpedanz (ideal): $r_{out} = \infty\Omega$



Stromspiegeltyp	Genauigkeit	r_{out}	V_I	$V_{O,min}$
Widlar-Stromspiegel	+	$= \frac{1}{g_0}$	$\approx V_T + \sqrt{\frac{2I_I}{\beta}}$	$\approx \sqrt{\frac{2I_0}{\beta}}$
Wilson-Stromspiegel	+	$\approx \frac{1}{g_0} \left(2 + \frac{g_m}{g_0}\right)$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
Verbesserter Wilson	++	$\approx \frac{1}{g_0} \left(2 + \frac{g_m}{g_0}\right)$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
Kaskode-Stromspiegel	++	$\approx \frac{1}{g_0} \left(2 + \frac{g_m}{g_0}\right)$	$\approx 2V_T + 2\sqrt{\frac{2I_I}{\beta}}$	$\approx V_T + 2\sqrt{\frac{2I_0}{\beta}}$
geregelter Kaskode	++	$\approx \frac{1}{g_0} \left(\frac{g_m}{g_0}\right)^2$	$\approx V_T + \sqrt{\frac{2I_I}{\beta}}$	$\approx 2\sqrt{\frac{2I_0}{\beta}}$

8 Einstufige MOS-Verstärker (Kap. 10)

Grosssignal-Analyse (Arbeitspunktberechnung)

Kleinsignal-Analyse (Signalberechnung)

Tipp: Jede Gate-Drain Strecke invertiert das Vorzeichen der Kleinsignalübertragung.

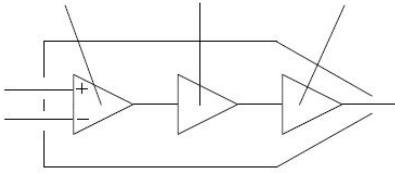
Verstärker mit Kleinsignal Ersatzschaltung Widerstandslast		Verstärker mit MOS-Dioden-Last	
Verstärker mit Stromquellenlast Realisierung		Verstärker mit parallelem Eingang (Push-Pull)	
Kaskode mit Widerstandslast		Kaskode mit Stromquellenlast	
Verstärker mit Widerstandslast		$a = -\frac{g_m}{\frac{1}{R_D} + g_0}$ $r_{out} = r_{iD} = \frac{1}{g_0}(1 + g_m R_S) + R_S$	
Verstärker mit MOS-Dioden-Last		$a = -\frac{\frac{1}{R_S + \frac{1}{g_{m1}}}}{\frac{g_{m2}}{1}} = -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{\beta_1}{\beta_2}} \text{ (wenn } R_S = 0)$	
Verstärkung mit Stromquellenlast		$a = -\frac{R_D}{R_S + \frac{1}{g_m} + (R_D + R_S) \frac{g_0}{g_m}} = -\frac{g_{m1}}{\frac{1}{r_Q} + g_{o1}}$	
Verstärker mit parallelem Eingang (Push-Pull-Stufe)		$a = -\frac{g_{m_N1} + g_{m_P1}}{g_{o_N1} + g_{o_P1}} = -(g_{m_N1} + g_{m_P1}) \cdot (r_{DS_N1} r_{DS_P1})$	
Verstärker mit Stromumlenkung		$a \approx a_i \frac{R_L r_{DS3}}{R_S + r_{S1}}$	
Kaskode mit Widerstandslast		$a \approx -g_{m1} R_D$	
Kaskode mit Stromquellenlast		$a \approx -\frac{g_{m1}}{g_{o3}}$	

9 MOS Operationsverstärker (Kap. 12)

OTA: Hohe Eingangsimpedanz, hohe Ausgangsimpedanz. **OpAmp:** Hohe Eingangsimpedanz, tiefe Ausgangsimpedanz.
Verhalten einer spannungsgesteuerten Stromquelle. Verhalten einer spannungsgesteuerten Spannungsquelle.

9.1 Struktur

Differenzstufe (Eingangsstufe) Verstärkungsstufe (Integratorstufe) Leistungsstufe (Ausgangsstufe)



Differenzstufe bildet die Differenz der beiden Eingangssignale und verstärkt sie mit dem Differenzverstärkungsfaktor.

Verstärkungsstufe erhöht die Gesamtverstärkung. Bestimmt meist die Gesamtbandbreite des Operationsverstärkers.

Leistungsstufe wandelt die Impedanz. Verstärkung ist selten grösser als eins. Verkleinert den Ausgangswiderstand und stellt genügend Ausgangsstrom zur Verfügung.

Hinweis: In seltenen Fällen sind erste und zweite oder auch zweite und dritte Stufe differenziell gekoppelt.

9.2 Differenzstufe

Eigenschaften der Differenzstufe bei starker Inversion:

$$V_d = \pm \frac{1}{2} \sqrt{\frac{I_Q}{\beta}} \quad \text{Linearität der Diff-Stufe gut. An der Linearitätsgrenzen fließt } I_D = 0.74 I_Q \text{ bzw. } I_D = 0.26 I_Q.$$

$$V_d = \pm \sqrt{\frac{I_Q}{\beta}} \quad \text{In einem der Zweige fließt } I_D = 0.93 I_Q, \text{ im anderen } I_D = 0.07 I_Q.$$

$$V_d = \pm \sqrt{2} \sqrt{\frac{I_Q}{\beta}} \quad \text{Der gesamte } I_Q \text{ fließt in einem der beiden Zweigen.}$$

9.3 Slew-Rate

Definition Slew-Rate $SR = \frac{dv_o}{dt} = \frac{I_{out}}{C_L} \text{ [V/}\mu\text{s]}$

Differenzstufe (einstufig) $SR_r = |SR_f| = \frac{I_Q}{C_L}$

Mit Verstärkung nach

SR-dominanter Stufe $|SR| = \frac{dv_{CL}}{dt} \cdot a = \frac{I_Q}{C_L} \cdot a$

Designregel für grosse SR: I_Q gross, C_L klein.

Vorgehen bei mehrstufigem Verstärker:

1. SR jeder einzelnen Verstärkerstufe untersuchen
2. SR auf den Ausgang beziehen ($\cdot a$)
3. Verstärkerstufe mit kleinster SR ist dominant.

9.4 Wichtige Kenndaten/Formeln

Verstärker Differenzstufe

Bei Widerstandslast $i_{out} = -\frac{g_m v_d}{2}$; $a \approx \frac{g_m r_{out}}{2}$

Bei Stromspiegellast $i_{out} = -g_m v_d$; $a \approx g_m \cdot r_{out}$

Grenzwert bei starker Inversion

$$a = V_A \sqrt{\frac{\beta}{I_Q}} \quad (\text{Bedingung: } a_{EN} = a_{EP})$$

Grenzwert bei schwacher Inversion

$$a = \frac{V_A}{2n_M \Phi_t}$$

Gain-Bandwidth-Product

$$GBP = |a| \cdot f_{P1} = -\frac{g_m}{2\pi C_L}$$

Input Common Mode Range

$$V_{inp,max} = (V_{DD} - V_{SS}) - V_{GS,P1} - V_{DSSat,N1} + V_{GS,N1}$$

$$V_{inp,min} = V_{SS} + V_{DSSat,N5} + V_{GS,N1}$$

Wenn $V_{DSSat} \approx \sqrt{\frac{2I_D}{\beta}}$ dann gilt:

$$V_{inp,max} = (V_{DD} - V_{SS}) - V_{T,P1} - \sqrt{\frac{I_{SS}}{\beta P_1}} + V_{T,N1}$$

$$V_{inp,min} = V_{SS} + \sqrt{\frac{2I_{SS}}{\beta N_5}} + V_{T,N} + \sqrt{\frac{I_{SS}}{\beta N_1}}$$

Common mode rejection ratio

$$v_{DM} = v_{in1} - v_{in2} \quad \text{differential mode}$$

$$v_{CM} = \frac{v_{in1} + v_{in2}}{2} \quad \text{common mode}$$

$$CMRR = \left| \frac{a_{DM}}{a_{CM}} \right| = \frac{r_q}{r_s} = \frac{g_m}{g_{ob}} \quad \text{mit } r_q: \text{Innenwiderstand von } I_Q$$

Power supply rejection ratio

$$PSRR_+ = \left| \frac{a_{DM}}{a_{PS+}} \right|$$

$$PSRR_- = \left| \frac{a_{DM}}{a_{PS-}} \right|$$

Offset-Designregeln

Random Offset

Matching von Parametern der Transistoren: Layout für gutes Matching $\rightarrow$ Common Centroid, höheres $V_{GS} - V_T$ für Stromspiegel, grosses W/L für Eingangstransistoren

Systematic Offset

Symmetrie der Differenzstufe, gleiche V_{DS} und L der zu einem Stromspiegel gehörenden Transistoren, gleiche Stromdichten $\frac{I}{W/L}$ in Stromspiegeltransistoren

10 Stabilität von MOS Operationsverstärker (Kap. 13)

Loop-Gain $T(s)$: $T(s) = A(s) \cdot F(s)$

Phasenmarge bei $f_{krit} (a_L = 1)$	Verhalten des Verstärkers (System mit zwei weit auseinanderliegenden Polen)
$\varphi_M \leq 0^\circ$	Gegenkoppelter Verstärker schwingt selbständig
$\varphi_M > 0^\circ$	Gedämpftes Überschwingen der Sprungantwort
$\varphi_M = 65^\circ$	Peaking verschwindet. Einziger Überschwinger mit 4.7% Sprunghöhe
$\varphi_M \geq 75^\circ$	Kein Überschwingen

Stabilitätskriterien $\phi = 180^\circ \Rightarrow |A(s) \cdot F(s)| < 1$

$$|A(s) \cdot F(s)| = 1 \Rightarrow 180^\circ - \Phi > 0; \varphi_M > 0^\circ$$

Phasenmarge $\varphi_M = 180^\circ - \Phi = 90^\circ - \arctan(\frac{GBP}{f_{P2}})$

Designregel Wähle 2. Pol (f_{nd}) bei ca. $3 \cdot GBP$

Dies ergibt eine Phasenmarge von 72° und somit kaum Überschwingen

Jeder Knoten N bildet einen Pol bei der Frequenz f_N ,

der sich wie folgt berechnet: $f_N = \frac{1}{2\pi \cdot R_N C_N}$

Grobe Analyse: Die Knoten mit hohen RC-Produkten suchen. Dort entstehen Systempole, welche einen Abfall von 20 dB/Dekade im Frequenzgang einleiten.

10.1 Widerstände

Knotenimpedanz praktisch unendlich:

Gate: $r_{iG-} > \infty$

Knotenimpedanz sehr hoch:

Drain des Transistors wenn als Stromquelle beschaltet:

$$r_{ds} = \frac{1}{g_0}$$

Knotenimpedanz tief:

Drain des Transistor in Diodenschaltung, Source des

Transistors in Stromquellenschaltung: $\frac{1}{g_m}$

10.2 Kapazitäten

Knotenkapazität gross:

C als passive Schaltungskomponente

Knotenkapazität mittel:

parasitäre Kapazität verstärkt durch Miller-Effekt.

Häufig C_{GD} eines verstärkenden Transistors.

Knotenkapazität klein:

Knoten mit parasitären Kapazitäten. Von diesen Knoten ist in der Regel der Gate-Knoten mit der höchsten Kapazität belastet.

10.5 Typische Kapazitäten

	C_{GS}	C_{GD}	C_{SB}	C_{DB}
Gesättigt Typ. Wert	$C_{GS0} + \frac{2}{3}C_{ox}$ 33 fF	C_{GD0} 1.2 fF	$C_{jSBt} + \frac{2}{3}C_{BCt}$ 10 fF	C_{jDBt} 7 fF
Ungesättigt Typ. Wert	$C_{GS0} + \frac{1}{2}C_{ox}$ 26 fF	$C_{GD0} + \frac{1}{2}C_{ox}$ 26 fF	$C_{jSBt} + \frac{1}{2}C_{BCt}$ 10 fF	$C_{jDBt} + \frac{1}{2}C_{BCt}$ 10 fF

$$C_{ox} = C_{ox} \cdot W \cdot L_{eff} \quad C_{BCt} = C_{jBC} \cdot W \cdot L_{eff}$$

$$C_{jSBt} = C_{jSB} \cdot A_S + C_{jswSB} \cdot P_S$$

$$C_{jDBt} = C_{jDB} \cdot A_D + C_{jswDB} \cdot P_D$$

Wenn $V_{SB} = 0$, dann C_{SB} ignorieren und $C_{DB} = C_{DS}$.

10.3 Miller-Effekt

Die Miller-Kapazität C_m zwischen Ein- und Ausgang eines Verstärkers mit Verstärkung A liegt, erscheint

- multipliziert mit $(1-A)$ parallel zum Eingang (C_{mi})
- multipliziert mit $(1-1/A)$ parallel zum Ausgang (C_{mo})
- C_m wird aus dem Schema entfernt und durch C_{mi} und C_{mo} ersetzt.

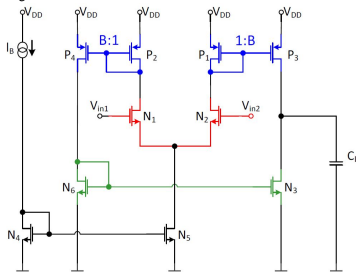
10.4 Darstellung

1. DC Verstärkung berechnen (aus Kleinsignalersatzschaltung für Niederfrequenz)
2. Die für die Übertragungsfunktion relevanten Pole finden. (An welchem Knoten befindet sich ein hohes RC Produkt?)
3. Pole im Bode-Diagramm einzeichnen

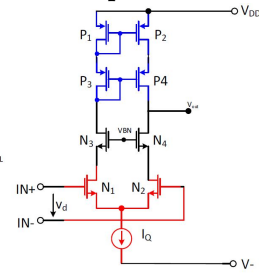
11 Gebräuchliche Realisierung von OTA's (Kap. 14)

Ein einstufiger OTA wird bereits durch eine Differenzstufe realisiert. In der Praxis wird ein OTA aber nie so realisiert, da eine Last am Ausgang die Symmetrie der Differenzstufe stört.

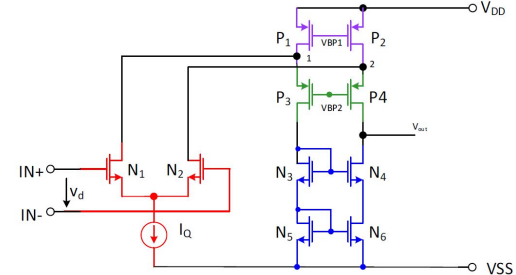
Symmetrischer OTA



Telescopic cascode OTA



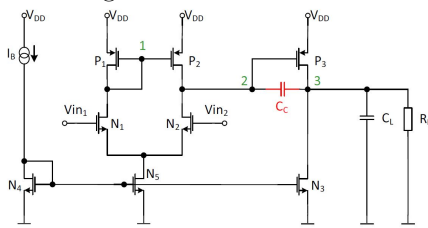
Folded cascode OTA



OTA-Typ	a	r_{out}	BW	GBW	Bemerkung
Symmetrischer OTA	$B \cdot g_{mN1} \cdot r_{out}$	$(r_{DS_N3} r_{DS_P3})$	$\frac{1}{2\pi \cdot r_{out} C_L}$	$B \cdot \frac{g_{mN1}}{2\pi \cdot C_L}$	
Telescopic Cascode	$-g_{mN1,N2} \cdot r_{out}$	$(r_{K_N} r_{K_P})$	$\frac{1}{2\pi \cdot r_{out} C_L}$	$\frac{g_{mN1,2}}{2\pi \cdot C_L}$	$r_{K_N,K_P} \approx r_{DS} \cdot (2 + g_m \cdot r_{DS})$
Folded Cascode	$g_{mN1,N2} \cdot r_{out}$	$(r_{K_N} r_{K_P})$	$\frac{1}{2\pi \cdot r_{out} C_L}$	$\frac{g_{mN1,2}}{2\pi \cdot C_L}$	

Miller OTA - Designgleichungen

Schaltung:



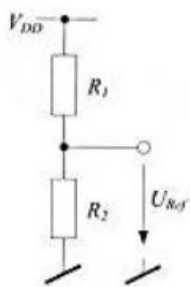
Wichtige Parameter:

Dominanter Pol:	$f_{pN2} = \frac{1}{2\pi R_{N2}(C_{N2} + a_2 C_c)} \approx \frac{1}{2\pi R_{N2} a_2 C_c}$
Nondominanter Pol:	$f_{Nd} = f_{N3} = \frac{1}{2\pi R_{N3} C_L} \approx \frac{g_{mP3}}{2\pi C_L}$
3dB Bandbreite:	$BW \approx f_d = f_{N2} = \frac{1}{2\pi R_{N2} a_2 C_c}$
Phasenmarge:	$\varphi_M = 90^\circ - \arctan\left(\frac{GBW}{f_{Nd}}\right)$
Gain-Bandwidth Produkt:	$GBP = a \cdot f_d = \frac{g_{mN1,2} R_{N2} \cdot g_{mP3} R_{N3}}{2\pi R_{N2} a_2 C_c} = \frac{g_{mN1}}{2\pi C_c}$
Nullstelle:	$f_z \approx \frac{g_{mP3}}{2\pi C_c}$
Verstärkung:	$a = a_1 \cdot a_2 = g_{mN1,2} R_{N2} \cdot g_{mP3} R_{N3} = g_{mN1,2} (r_{DS_N2} r_{DS_P2}) \cdot g_{mP3} (r_{DS_N3} r_{DS_N3} R_L)$

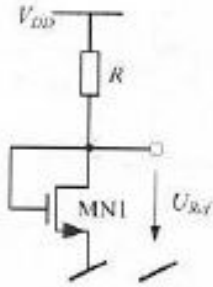
12 Spannungsreferenzen (Kap. 15)

In vielen Anwendungen benötigt man eine Spannung, die unabhängig von Betriebsspannungsschwankungen oder Temperaturänderungen ist. Eine solche Spannungsquelle wird als Spannungsreferenz bezeichnet.

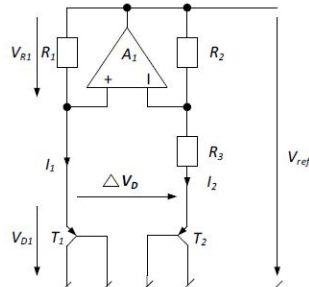
Spannungsteiler



MOS-Diode



Bandgap-Spannungsreferenz



	Temperatur:	VDD/VSS:	Prozessvariation:
Spannungsteiler	S klein	$S = 1$	S klein
MOS-Diode	S klein	$S < 1$	S: Darf nicht vernachlässigt werden.
Bandgap	Abhängig von $\Phi_t = \frac{kT}{e}$ und von R	0 (unabhängig von VDD/VSS)	Klein

12.1 Bandgap-Spannungsreferenz

In vielen Anwendungen benötigt man eine Spannung, die unabhängig von Betriebsspannungsschwankungen oder Temperaturänderungen ist. Die Bandgap ist eine Möglichkeit, eine stabile Spannungsreferenz zu erhalten.

Formeln:

$$V_{ref} = V_D + K \cdot \Phi_t$$

$$\Phi_t = \frac{kT}{e}$$

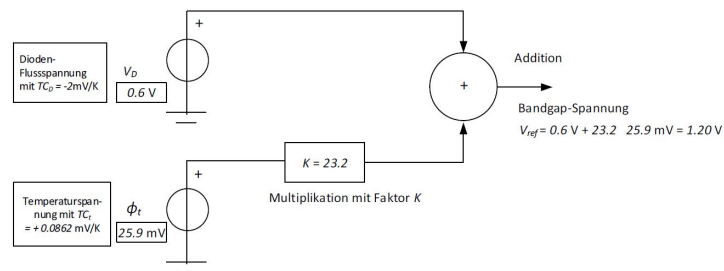
Konstanten:

$$k = 1.38 \times 10^{-23} \text{ J/K}$$

T = Absolute Temperatur in K

$$e = 1.60 \times 10^{-19} \text{ C}$$

Bei Raumtemperatur ($T = 300 \text{ K}$ bzw. 27°C) ist $\Phi_t = 25.9 \text{ mV}$



13 Allgemeines

Begriffe:

CMOS complementary metal oxide semiconductor

Grosssignal Ersatzschaltung:

Die DC-Ersatzschaltung wird zur Berechnung des Arbeitspunktes, d.h. der Gleichspannungen und Gleichströme benötigt.

Grosssignal-Ersatzschaltung bilden

- Reine AC-Spannungsquellen durch Kurzschlüsse ersetzen, AC-Spannungsquellen mit DC-Anteil durch Gleichspannungsquellen ersetzen
- Reine AC-Stromquellen entfernen (d.h. durch Leerläufe ersetzen), AC-Stromquellen mit DC-Anteil durch Gleichstromquellen ersetzen
- Kondensatoren entfernen (d.h. durch Leerläufe ersetzen)
- Spulen in der Schaltung kurzschliessen (d.h. durch Kurzschlüsse ersetzen)

Kleinsignal Ersatzschaltung:

AC- oder Kleinsignalersatzschaltung zur Berechnung der Verstärkungsfaktoren sowie der Ein- und Ausgangswiderstände der Schaltung.

Kleinsignal-Ersatzschaltung bilden

- DC-Spannungsquellen durch Kurzschlüsse ersetzen
- DC-Stromquellen entfernen (d.h. durch Leerläufe ersetzen)
- Nichtlineare Bauteile durch ihre Kleinsignal-Ersatzschaltungen ersetzen. Das bedeutet vor allem, dass nichtlineare Widerstände durch den Kleinsignalwiderstand, den sie im Arbeitspunkt haben, ersetzt werden müssen.
- Koppel- und Bypass-Kondensatoren (d.h. alle Kondensatoren, die wir als gross bezeichnen) kurzschliessen
- Sperrdrosseln (d.h. alle Induktivitäten, die wir als gross bezeichnen) entfernen